## «Проектирование систем на кристалле»

**Преподаватель: к.т.н., ст. преп. Романов А.Ю.**

**Длительность: 3, 4 модуль 3 курса**

**Объем: лекции 38 ч., семинары 10 ч., лаб. работы 28 ч.**

**Контроль: 1 домашняя работа, 1 контрольная работа, экзамен.**

**Преамбула**

Курс «Проектирование систем на кристалле» позволит студентам приобрести теоретические и практические навыки по разработке, проектированию и программированию цифровых систем (портативные системы, системы управления и контроля, видео-/аудио-системы и т.д.), а также обеспечит освоение новых САПР (таких, как: Altera Quartus II, ModelSim, DSP Builder в связке с САПР MatLab Simulink) и языка программирования (проектирования цифровых систем) Verilog.

Курс расширяет знания, которые студенты получают в рамках дисциплин, связанных с проектированием программного обеспечения, а также программированием микропроцессоров/микроконтроллеров/одноплатных компьютеров; является одним из базовых для работы над ВКР и прохождения производственной практики на предприятиях с конструкторским уклоном.

Структура курса:

1. Вводная часть

1.1. Функционально-логическое проектирование. Системы счисления, Булева алгебра, анализ и минимизация логических функций, базовые логические элементы, теория цифровых автоматов, простейшие цифровые устройства (триггеры, компараторы, мультиплексоры/демультиплексоры, шифраторы/дешифраторы, регистры, счетчики и т.д.). Теория программируемых логических устройств.

2. Средства проектирования систем на кристалле. САПР Quartus II

2.1. Основы проектирования в САПР Quartus II. Методология проектирования систем на кристалле с использованием ПЛИС. Разработка проекта в САПР Quartus II (создание и настройка проекта, создание исходных файлов и их типы, компиляция проекта, установка назначений в проекте, назначение контактов ввода/вывода, моделирование проекта).

2.2. Анализ и моделирование устройств в САПР Quartus II. Моделирование в среде ModelSim-ALTERA. Анализ потребляемой мощности. Встроенные средства отладки проекта.

2.3. Оптимизация проектов в САПР Quartus II. Метод прогрессивной компиляции. Фиксированные логические области. Средства оптимизации проекта. Оптимизация проекта по быстродействию. Оптимизация проекта по ресурсам. Оптимизация проекта по потребляемой мощности.

2.4. Встраиваемое процессорное ядро Nios II. Назначение и архитектура процессорного ядра Nios II. Утилита SOPC Builder. Разработка прикладного программного обеспечения. Отладка программного обеспечения. Моделирование процессорного ядра. Архитектура внутренней шины Avalon. Подключение к процессору пользовательских устройств. Команды пользователя. Поддержка отладочных средств.

3. Синтез цифровых устройств на языках HDL

3.1. Основы языка Verilog. Среда HDL-моделирования ModelSim. Описание компонентов на языке Verilog. Присвоение значений. Числа и операторы Verilog. Поведенческое описание устройств. Структурное описание устройств. Функциональное моделирование. Методы реализации конечных автоматов. Знакомство с другими языками проектирования HDL: VHDL, SystemC.

3.2. Верификация проектов на Verilog. Оптимизация исходных кодов для FPGA. Создание тестовых файлов (testbench). Тестирование и верификация цифровых модулей. Совместная симуляция.

4. Системное проектирование (опционально, если хватит часов)

4.1. Разработка проектов системного уровня (DSP Builder). Возможности встроенной утилиты DSP Builder. Знакомство с САПР MatLab и Simulink. Основные этапы проектирования с использованием утилиты DSP Builder. Библиотека системных модулей. Моделирование проектируемой системы. Отладка системы, созданной с помощью утилиты DSP Builder. Использование библиотечных функций в системе.